

KOREAN PATENT ABSTRACTS

(51)Int. Cl. H04L 12/28	(11)Issue number: 0156425 (24)Date of issue of application: 22 July 1998
(21)Application number: 101995067308	(65)Publication number: 1019970056462
(22)Date of filing: 29 December 1995	(43)Date of publication: 31 July 1997
(73)Patentee: LG Information Communication Co. Ltd, Chung, Janggho 20 Yoido-dong Yeongdeungpo-ku, Seoul 150-010 Republic of Korea	
(72)Inventor: LEE, HEE TAE 412-17 Jungchondong, Jung-gu, Daejeon, Republic of Korea	
(74)Agent: KIM, YOUNG CHUL	
(77)Request of Examination: Examiner: PARK, JONG HAN	

(54) APPARATUS OF ATM EXCHANGE FOR ACCESSING SYNCHRONOUS PUBLIC SWITCHED TELEPHONE NETWORK

(57) Abstract:

PURPOSE: An apparatus of ATM exchange for accessing a synchronous public switched telephone network is provided which is a part of a BISDN terminal adapter for efficiently matching a traditional synchronous public switched telephone network to an asynchronous ATM exchange and, more particularly, for effectively matching E1 trunks in the traditional public switched telephone network so that services provided over the E1 trunks can be provided through the ATM exchange.

That is, the apparatus is configured in which PCM data converted to an ATM cell has a unit of 12 bytes, memory at its transmitting/receiving terminals basically has a memory delay of 4ms, data is transmitted to a network interface module from when it is determined that two ATM cells each corresponding to one time slot are entering, in order to prevent jittering at the transmitting terminal. Accordingly, even though the arrival time of an ATM cell is delayed due to the congestion in the ATM exchange, PCM data can be reconfigured without

jittering in the interface module on the traditional network.

Therefore, the ATM exchange can be configured efficiently using the traditional public switched telephone network, and it is thus possible to use the traditional terminals as well as ATM terminals.

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. H04L 12/28		(11) 등록번호 (24) 등록일자	특0156425 1998년07월22일
(21) 출원번호	특1995-067308	(65) 공개번호	특1997-056462
(22) 출원일자	'95년12월29일	(43) 공개일자	1997년07월31일
(73) 특허권자	별지 장보통신주식회사, 장광호		
	대한민국		
	'50-010		
	서울시 영등포구 여의도동 20번지		
(72) 발명자	미호태		
	대한민국		
	대전광역시 중구 증촌동 412-17		
(74) 대리인	김영철		
(77) 심사청구	심사관 박종찬		
(54) 출원명	ATM 교환기의 동기식 공중망 접속장치		

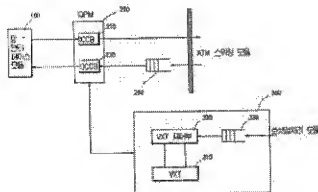
요약

본 발명은 비동기식으로 운용되고 있는 ATM 교환기에 동기식으로 운용되고 있는 기존의 공중망을 효율적으로 결합시키기 위한 B-SDN 터미널 어댑터(Terminal Adapter)의 일부분으로서 특허, 기존의 공중망중 E1 트렁크를 효과적으로 결합시켜 이를 통해 제공되던 서비스들이 ATM 교환기를 통해서도 제공 가능하도록 한 ATM 교환기의 동기식 공중망 접속장치에 관한 것이다.

즉, 본 발명은 ATM 셀을 변환되는 PCM 데이터의 단위를 128비트로 구성하고, 이에 따라 송수신단에 구성된 메모리 지연을 기본적으로 4 ms로 줄여 운용하고 송신단에서의 지터링을 방지하기 위하여 한 타임/슬롯에 해당하는 ATM 셀이 두 개가 들어온 것을 확인하는 시간부터 망인터페이스 모듈로 데이터를 전송해줄도록 하는 장치를 구성하여 ATM 교환기 내부에서 복조 현상이 발생하여 ATM 셀의 도착시간이 지연되는 경우에도 기존망의 인터페이스 모듈에서 재구성되는 PCM 데이터의 재구성시 지터링 현상이 발생하도록 함을 목적으로 한다.

이에 따라, ATM 교환기를 구성하는데 있어서 기존에 사용되는 공중 통신망을 효율적으로 적용함으로써 ATM 건물 단말뿐만이 아닌 기존에 사용되는 단말을 수용하는데 매우 효과적이다.

배도



발세서

[발명의 명칭]

ATM 교환기의 동기식 공중망 접속장치

[도면의 간단한 설명]

제1도는 본 발명 ATM 교환기의 동기식 공중망 접속장치의 구성 블록도.

제2도는 제1도에서 망인터페이스 모듈의 상세 구성 블록도이다.

* 도면의 주요부분에 대한 부호의 설명

100 : 광인터페이스 모듈	
200 : OFM(Input Output Processing Module)	
210 : CCB(Input Cell Control Block)	
220 : OCCB(Output Cell Control Block)	
250,300 : 수신용 피어포(FIFO : First In First Out)	
300 : VXT 메모리 제어부	
310 : VXT(Virtual Translation Table)	
320 : VXT 제어부	101 : CPU(Central Processing Unit)
102 : 롬어레이(RAM Array)	103 : 램어레이(RAM Array)
104 : 시그널링 메시지 제어부(Signalling Message Control)	
105 : 광인터페이스부	106 : 블록 생성부
107 : SIPO(Serial Input Parallel Output)	
108 : PCM 데모리 어드레스 생성부	
109,110 : PCM 메모리부	111 : PCM 메모리 제어부
112 : 송신 메모리 제어신호 생성부	
113 : PISO(Parallel Input Serial Output)	
114 : ATM 송신 메모리부	115 : 송신용 프레임포
116 : OFM 수신 인터페이스부	117 : OFM 송신 인터페이스부

[발명의 상세한 설명]

본 발명은 비동기식으로 운용되고 있는 ATM 교환기에 동기식으로 운용되고 있는 기존의 공중망용 효율적으로 정합시키기 위한 BSSDN 터미널 어댑터(Terminal Adapter)의 일부본으로서 특히, 기존의 공중망용 E1 트렁크를 효과적으로 정합시켜 이를 통해 제공되는 서비스들이 ATM 교환기를 통해서도 제공 가능하도록 한 ATM 교환기의 동기식 공중망 접속장치에 관한 것이다.

일반적으로 시분할 방식으로 서비스를 제공하는 E1 트렁크로 전송되는 가입자 데이터는 타임/슬롯(T/S)으로 분리되어 들어오므로 그 크기가 ATM 셀의 크기와 다르다. 이에 ATM 교환기와 E1 트렁크를 정합시키기 위해 송수신되는 데이터를 변환시킴에 있어, 이러한 변환동작이 통상 복잡에 곱합을 주지 않도록 하여야 한다.

이때, E1 트렁크를 통해서 전송되는 PCM 데이터는 응용 형태는 1개의 프레임 단위로 운용되는데, 이 한 프레임 내에는 32개의 타임/슬롯이 존재하고, 이 타임/슬롯은 각각 한 가입자를 위하여 125 μ s 단위로 18바이트의 데이터를 보내준다. 상기와 같은 전송속도로 데이터를 보내는 것은 사람이 들을 때 사람의 귀로 그 간격을 인지하지 못하도록 하기 위한 것이다.

반면, ATM 셀의 운용 방식은 53바이트의 헤더와 48바이트의 유효부하(payload)의 53바이트로 구성되는 셀에서 ATM 교환기는 상기 헤더를 이용하여 스위칭을 수행하는 방법을 사용한다.

이에 따라, 125 μ s 단위로 18바이트씩 데이터를 전송하는 구조로 되어 있는 E1 트렁크를 ATM 교환기에 접속하여 운용하기 위해서, 일반적으로 125 μ s 단위로 전송되는 데이터를 일정주기(125 μ s \times 48) 동안 저장하여 각 타임/슬롯 별로 48바이트의 유효 부하를 구성하여 ATM 셀로 만들어 전송해 주었다. 그러나, 이러한 접속 방법은 실제 운용시 48바이트의 데이터를 저장하는 시간이 수신단에서 6ms가 소요되고, 이것을 다시 전송해 주기 위해서는 다시 6ms의 저장과정이 필요하다.

그리고, ATM 교환기 내부에서 발생할 수 있는 폭주(congestion) 현상을 처리하다 보면 실제 전송되는 데이터의 도착 시간은 기존의 시분할 방식을 사용하는 교환기와 상황이 많이 다르게 예측이 어렵게 되므로 전송단에서 ATM 셀을 다시 E1 트렁크의 PCM 데이터로 변환하는 과정에서 지연(delay) 현상이 발생하여 수신단에서 데이터의 복원에 어려움이 발생할 가능성이 많다.

그러나, 기존의 ATM 교환기는 송수신되는 데이터에 있어 반사 손실률(return loss)과 반향(Echo) 현상을 줄이기 위하여 송수신단간의 딜레이를 10ms 이내에서 구성하도록 하므로 상기에서 기본적으로 12ms가 소요되는 구조는 구성상에 문제점이 발생하게 된다.

이에 따라, 본 발명은 상기와 같은 문제점을 해결하기 위해 ATM 셀로 변환되는 PCM 데이터의 단위를 12바이트로 구성하고, 이에 따라 송수신단에 구성된 메모리 지운을 기본적으로 4ms로 줄여 운용하고 송수신단에서의 지연을 방지하기 위하여 한 타임/슬롯에 해당하는 ATM 셀이 두 개가 들어온 것을 확인하는 시간부터 만연터페이스 모듈로 데이터를 전송하도록 하는 장치를 구성하여 ATM 교환기 내부에서 폭주 현상이 발생하여 ATM 셀의 도착시간이 지연되는 경우에도 기존망의 인터페이스 모듈에서 재구성되는 PCM 데이터의 재구성이 지연 현상이 발생하여 가능하도록 함을 목적으로 한다.

상기 목적을 달성하기 위한 본 발명 ATM 교환기의 동적식 공중망 접속장치는, 동적식 공중망에 접속되어 망에서 오는 PCM 데이터는 ATM 셀로 변환시키고, 망으로 전송되는 데이터는 PCM 데이터로 변환시켜 송수신하는 망인터페이스 모듈에서 출력되는 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시켜 ATM 스위칭 모듈로 전송하는 ICCB와, ATM 스위칭 모듈에서 출력되는 ATM 셀을 처리하는 OCCB를 포함하는 IOPM과; ATM 스위칭 모듈에서 전송되어 ATM 셀을 저장하여 순차적으로 상기 OCCB로 출력하는 수신용 패이포 및; 상기 ICCB에서 입력된 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시킬 때 VPI(Virtual Path Identifier : 가상 경로 식별번호)와 VC(Virtual Channel VCM Identifier : 가상 채널 식별 번호) 값으로 셀 헤더를 구성하고 동시에 내부의 헤더를 붙이는 VxT와, 상기 VxT로 데이터가 입데이터되도록 어드레스를 지정해주는 VxT 제어부와, 상기 VxT 제어부로 ATM 교환기 내의 호스트 처리 모듈에 의해 생성된 VxT의 수정 데이터를 저장하여 순차적으로 상기 VxT 제어부로 출력하는 수신용 패이포를 포함하는 VxT 메모리 제어부를 포함하는 것을 특징으로 한다.

상기 망인터페이스 모듈은 전체 제어 동작을 하는 CPU와, 상기 CPU의 동작을 위한 프로그램을 저장하고 있는 플래시 메모리와; 상기 CPU의 동작을 위한 프로그램을 저장하고 있으면서 CPU의 동작 결과를 메모리하는 플래시 메모리; 접속되어 있는 망으로부터 전송되어 오는 PCM 데이터를 복원하여 처리를 하고, 전송하고자 하는 데이터를 접속되어 있는 망의 전기적 특성에 맞게 구성하여 망으로 출력하는 망인터페이스 모듈이; 상기 망인터페이스 모듈에서 복원된 PCM 데이터의 서그널링을 상기 CPU로부터 입력 분석하여 ATM의 신호설로서 ATM 교환기 내의 호스트 처리 제어부로 출력하고, 호스트 처리 제어부에서 전송되어 오는 신호열을 분석하여 공중 채널 신호로 바꾸어 상기 망인터페이스 모듈로 전송하여 망인터페이스 모듈에서 망으로 전송할 데이터에 신호 메시지를 삽입하는 시그널링 메시지 제어부와; 상기 망인터페이스 모듈을 통해 입출력되는 데이터에 동기신호를 제공하고 전체 구성에 동일 클럭을 제공하는 클럭 생성부와; 상기 망인터페이스 모듈에서 복원된 타임/슬롯의 시리얼 PCM 데이터를 비이트 단위로 출력하는 SIPO와; 12비이트는 상기 SIPO에서 12개의 프레임 기간동안 각 타임/슬롯으로 출력되는 PCM 데이터로 구성되고, 나머지 3비이트의 영역은 데이터 데이터가 저장되도록 구성되고, 여기에 ATM 헤더 정보를 저장하는 영역을 포함하는 수개의 타임/슬롯 메모리 주 어레이는 두 개의 PCM 메모리부와; 상기 망인터페이스 모듈에서 복원된 회색 클럭에 의해 내부에 구성된 메모리 어드레스 포인터를 구성하는 카운터가 초기화되고, 상기 두 개의 PCM 메모리부중 하나의 메모리 블록에 연결하고, 회색 클럭의 간격을 카운터하여 12개의 프레임 동안 각 타임/슬롯 별로 데이터가 12비이트씩 저장되도록 하는 PCM 메모리 어드레스 생성부와; 상기 CPU에 의해 분석된 공중 채널 신호 정보를 이용하여 해당 타임/슬롯의 데이터가 사용가능한 것인지를 대한 정보를 저장하고, 이를 이용하여 상기 PCM 메모리부의 유효한 타임/슬롯에 대해 해당 데이터를 역색소하여 유효한 데이터에 대해 출력되도록 하는 PCM 메모리 제어부와; 상기 PCM 메모리부에서 출력되는 데이터를 상기 ICCB로 출력하는 송신용 패이포와; 상기 송신용 패이포와 관련된 정보를 기록하여 그 상태에 대한 정보를 상기 ICCB로 출력하는 IOPM 수신 인터페이스부와; 상기 OCCB에서 데이터 전송 상태에 대한 정보를 저장하는 IOPM 송신 인터페이스부와; 상기 OCCB에서 ATM 셀의 헤더를 이용하여 메모리의 어드레스 영역을 지정하고, 이를 저장한 후 그것이 완전히 저장되고 다음 주기의 데이터가 도착되면 그 즉시 이전에 저장된 데이터를 타임/슬롯 별로 출력하는 ATM 송신 메모리부와; 상기 망인터페이스 모듈에서 발생하는 회색 클럭을 이용하여 동작하여 상기 ATM 송신 메모리부에 저장된 데이터가 각 타임/슬롯 별로 출력되도록 하는 송신 메모리 제어신호 생성부 및; 상기 ATM 송신 메모리부에서 출력되는 데이터를 시리얼 단위로 출력하여 상기 망인터페이스 모듈로 출력하는 PSC를 포함하는 것을 특징으로 한다.

이하, 본 발명의 일실시예를 첨부 도면을 참조로 하여 좀 더 상세히 설명하면 다음과 같다.

제1도는 본 발명 ATM 교환기의 동적식 공중망 접속장치의 구성 블록도이고, 제2도는 제1도에서 망인터페이스 모듈의 구성 블록도이다.

제1도에 따른 본 발명의 구성은 망인터페이스 모듈(100)과, IOPM(200)과, 수신용 패이포(250)와, VxT 메모리 제어부(300)를 포함한다.

상기 망인터페이스 모듈(100)은 동적식 공중망에 접속되어 망에서 오는 PCM 데이터는 ATM 셀로 변환시키고, 망으로 전송되는 데이터는 PCM 데이터로 변환시켜 송수신한다.

상기 IOPM(200)은 상기 망인터페이스 모듈(100)에서 출력되는 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시켜 ATM 스위칭 모듈로 전송하는 ICCB(210)와, ATM 스위칭 모듈에서 출력되는 ATM 셀을 처리하는 OCCB(220)를 포함한다.

상기 수신용 패이포(250)는 ATM 스위칭 모듈에서 전송되는 ATM 셀을 저장하여 순차적으로 상기 OCCB(220)로 출력한다.

VxT 메모리 제어부(300)는 상기 ICCB(210)에서 입력된 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시킬 때 VPI와 VCI 값으로 셀 헤더를 구성하고 동시에 내부의 헤더를 붙이는 VxT(310)와, 상기 VxT(310)로 데이터가 입데이터되도록 어드레스를 지정해주는 VxT 제어부(320)와, 상기 VxT 제어부(320)를 ATM 교환기 내의 호스트 처리 모듈에 의해 생성된 VxT(310)의 수정 데이터를 저장하여 순차적으로 VxT 제어부(320)로 출력하는 수신용 패이포(330)를 포함한다.

제2도에 따른 상기 망인터페이스 모듈(100)의 구성은 CPU(101)와, 플래시 메모리(102)와, 망인터페이스 모듈(105)와, 시그널링 메시지 제어부(304)와, 클럭 생성부(105)와, SIOP(107)과, PCM 메모리부(109)(110)와, PCM 메모리 어드레스 생성부(109)와, PCM 메모리 제어부(111)와, 송신용 패이포(115)와, IOPM 수신 인터페이스부(116)와, IOPM 송신 인터페이스부(117)와, ATM 송신 메모리부(114)와, 송신 메모리 제어신호 생성부(112)와, PISO(113)를 포함한다.

상기 CPU(101)는 망인터페이스 모듈(100) 전체 동작을 제어한다.

상기 플래시 메모리(102)는 상기 CPU(101)의 동작을 위한 프로그램을 저장한다.

상기 망인터페이스 모듈(105)는 상기 CPU(101)의 동작을 위한 프로그램을 저장하고 있으면서 CPU(101)의 동작 결과를 메모리한다.

상기 망인터페이스 모듈(105)는 접속되어 있는 망으로부터 전송되어 오는 PCM 데이터를 복원하여 시리얼로 출력하고, 전송하고자 하는 데이터를 접속되어 있는 망의 전기적 특성에 맞게 구성하여 망으로 출력한다.

상기 시리얼 메시지 제어부(104)는 상기 망인터페이스 모듈(105)에서 복원된 PCM 데이터의 서그널링을 상기 CPU(101)로부터 입력 분석하여 ATM의 신호설로서 ATM 교환기 내의 호스트 처리 제어부로 출력하고, 호스트 처리 제어부에서 전송되어 오는 신호열을 분석하여 공중 채널 신호로 바꾸어 상기 망인터페이스 모듈(105)로 전송하여 망인터페이스 모듈에서 망으로 전송할 데이터에 신호 메시지를 삽입한다.

상기 클럭 생성부(106)는 상기 망인터페이스 모듈(105)를 통해 입출력되는 데이터에 동기신호를 제공하고 전체 구성에 동일 클럭을 제공한다.

상기 SIOP(107)은 상기 망인터페이스 모듈(105)에서 복원된 타임/슬롯의 시리얼 PCM 데이터를 비이트 단위로 출력한다.

상기 PCM 메모리부(109)(110)는 12바이트는 상기 SiPO(107)에서 12개의 프레임 기간동안 각 타임/슬롯 별로 출력되는 PCM 데이터로 구성되고, 나머지 36바이트의 영역을 더미 데이터가 저장되도록 구성되고, 여기에 ATM 헤더 정보를 저장하는 영역을 포함하는 수개의 타임/슬롯 메모리로 이루어진다.

상기 PCM 메모리 어드레스 생성부(103)는 상기 망인터페이스부(105)에서 복원된 회복 블록에 의해 내부에 구성된 메모리 어드레스 포인터를 구성하는 키운터가 초기화되고, 상기 두 개의 PCM 메모리부(109)(110)중 하나의 메모리 블록을 결정하고, 회복 블록의 갯수를 키운터하여 12개의 프레임 동안 각 타임/슬롯 별로 데이터가 12바이트씩 저장되도록 한다.

상기 PCM 메모리 제어부(111)는 상기 CFUX(101)에 의해 분석된 공통 채널 신호 정보를 이용하여 어떤 타임/슬롯의 데이터가 사용가능한 것인지에 대한 정보를 저장하고, 이를 이용하여 상기 PCM 메모리부(109)(110)의 유효한 타임/슬롯에 대해 헤더를 역세션시켜 유효한 데이터에 대해 출력되도록 제어한다.

상기 송신용 피라피프(115)는 상기 PCM 메모리부(109)(110)에서 출력되는 데이터를 상기 ICCB(210)로 출력한다.

상기 IOPM 수신 인터페이스부(116)는 상기 송신용 피라피프(115)와 관련된 정보를 기록하여 그 상태에 대한 정보를 상기 ICCB(210)로 출력한다.

상기 IOPM 송신 인터페이스부(117)는 상기 OCCB(220)에서 데이터 전송 상태에 대한 정보를 저장한다.

상기 ATM 송신 메모리부(114)는 상기 OCCB(220)에서 전송되어 오는 ATM 셀의 헤더를 이용하여 메모리의 어드레스영역을 지정하고, 데이터를 저장한 후 이것이 완전히 저장되고 다음 주기의 데이터가 도착되면 그 즉시 이전에 저장된 데이터를 타임/슬롯 별로 출력한다.

상기 송신 메모리 제어신호 생성부(112)는 상기 망인터페이스부(105)에서 발생하는 회복 블록을 이용하여 동작하여 상기 ATM 송신 메모리부(114)에 저장된 데이터가 각 타임/슬롯 별로 출력되도록 한다.

상기 PISO(113)는 상기 ATM 송신 메모리부(114)에서 출력되는 데이터를 시리얼 단위로 변환시켜 상기 망인터페이스부(105)로 출력한다.

상기와 같은 구성으로 이루어진 본 발명의 동작은 다음과 같다.

우선, 망으로부터 전송되어 오는 PCM 데이터를 ATM 셀로 구성하는 과정을 설명한다.

망인터페이스부(105)에서 복원된 회복 블록은 PCM 메모리 어드레스 생성부(103)의 내부에 하드웨어적으로 구성된 메모리 어드레스 포인터를 구성하는 카운터를 초기화시킨다. 이때 상기 PCM 메모리 어드레스 생성부(103)의 내부에는 두 개의 PCM 메모리부(109)(110)중 하나의 메모리 블록을 결정하는 회로와 회복 블록의 갯수를 카운트하는 회로가 구성되어 12개의 프레임 기간 동안 각 타임/슬롯 별로 데이터가 12바이트씩 저장되도록 한다. 이때, 어드레스 포인터와 SiPO(107)는 동기화가 일치하여 하나의 어드레스가 지정되는 동안 1바이트의 데이터가 메모리에 저장되는 구조를 갖는다.

각 PCM 메모리부(109)(110) 내 각각의 타임/슬롯에 저장될 헤더 정보는 ICCB(210)에서 VXT(310)에 의해 수정되어 ATM 교환기 내부의 스위칭에 이용된다. 즉, 접속망의 트렁크 라인을 통해서 전송되어 오는 공통 채널 정보를 분석하여 시그널링 메시지 제어부(104)에 저장해 놓을 때 이것이 ATM의 신호셀로 변환되어 ATM 교환기의 호셋업 처리 모듈로 전송되고, 그에 따라 호셋업 처리 모듈에서 호 정보를 분석하여 이를 VXT(310)에 저장해 놓는다. 이와 같이 VXT(310)에 저장된 정보를 이용하여 송신용 피라피프(115)와 IOPM 수신 인터페이스부(116)를 통해 데이터가 ICCB(210)로 전송될 때 상기 헤더 정보는 수정되어 ATM 교환기 내부의 스위칭에 이용되는 것이다.

시그널링 메시지 제어부(104)에 CPU(101)가 정보를 저장할 때 CPU(101)는 공통 채널 신호 정보를 분석하여 어떤 타임/슬롯의 데이터가 사용가능한 데이터인지에 대한 정보를 저장하고, 이 정보를 이용하여 각 PCM 메모리부(109)(110)에 저장되어 있는 데이터를 어떤 데이터로 ATM 셀로 변환할 것인가를 결정하게 된다. 이것은 한정된 ATM 교환기에 필요한 데이터의 부담을 제거하는데 유용하다.

PCM 메모리부(109)(110)의 구성은 각각의 망 트렁크의 타임/슬롯마다 48바이트의 어드레스 공간을 가지며, 이중 12바이트 만이 유효한 PCM 데이터로 구성되어 있고, 나머지 36바이트의 영역은 더미 데이터가 저장되어 있다. 그리고, 각각의 메모리는 ATM 헤더 정보를 저장하는 영역이 존재하는데, 이 영역은 가변해 발동되어 있는 것이 없으므로 내부 초기화시에 PCM 메모리부(109)(110)의 ATM 헤더 영역에 따라 정해진 값으로 소프트웨어가 메모리에 써준다.

이때, PCM 메모리부(109)(110)에 저장된 데이터를 이용하여 ATM 셀로 구성하는 과정에서 PCM 메모리 제어부(111)에 의해서 제어가 수행되는데, 여기서 상기 PCM 메모리 제어부(111)의 내부 구성은 타임/슬롯의 유효성을 판단하는 정보를 이용하여 타임/슬롯이 유효한 경우 내부에 구성된 2개의 포인터를 가동하여 헤더를 역세션하는 부분과 PCM 데이터 48바이트를 저장하는 포인터를 동작시켜 상기 PCM 메모리부(109)(110)로 데이터가 송신용 피라피프(115)에 기록되도록 하는 부분으로 구성되어 있다. 상기 송신용 피라피프(115)가 상기 PCM 메모리부(109)(110)에서 출력되는 데이터를 전송할 경우, 이에 대한 상태 정보를 IOPM 수신 인터페이스부(116)에서 기록하여 이를 ICCB(210)로 전송한다. 이때, 상기 송신용 피라피프(115) 및 OFM 수신 인터페이스부(116)와 ICCB(210) 사이의 인터페이스는 ITJ-T에서 제공하는 UTOP IA 인터페이스 규정을 사용하여 제어해 둔다.

한편, ATM 스위칭 모듈로부터 전송되어 온 ATM 셀을 분리하고 이를 PCM 데이터로 복원하는 과정은 다음과 같다.

상기 UTOP IA 인터페이스를 이용하여 OCCB(220)로부터 전송되어 오는 ATM 셀의 저장은 ATM 헤더를 이용하여 ATM 송신 메모리부(114)에 메모리 어드레스 영역을 저장함으로써 수행되는데, 이때 상기 ATM 헤더에 대한 정보는 어드레스를 지정하는 역할이며 송신 메모리 제어신호 생성부(112) 내부에 존재하는 ATM 셀 카운터를 동작시키는 것에도 사용된다. 여기서, 상기 송신 메모리 제어신호 생성부(112)는 PCM 데이터로 복원하는 과정에서 발생할 수 있는 지터현상을 방지한다.

이렇게 하여 ATM 송신 메모리부(114)의 한영역에 데이터가 완전히 저장되고 다음 주기의 데이터가 도착된 것이 확인된 순간에 송신 메모리 제어신호 생성부(1'2)는 망인터페이스부(105)에서 제공되는 회백 클럭을 이용하여 그 내부의 포인터를 동작시킨다. 이에 따라, ATM 송신 메모리부(114)에 저장되어 있는 데이터가 각 타임/슬롯 별로 PISO(113)를 통해 망인터페이스부(115)로 전송된다. 이때 상기 데이터들은 망 인터럽트 라인 각각의 타임/슬롯으로 할당되어 전송되고, 여기서 신호 메시지가 실리게 된다. 여기서, 상기 망인터페이스부(105)에서 각 타임/슬롯에 실리는 신호 메시지는 시그널 메시지 제어부(104)에서 전송되어 오는 공통 채널 신호가 된다. 즉, 이 공통 채널 신호는 시그널 메시지 제어부(104)에서 호셋업 처리 모듈로부터 전송되어 온 신호를 분석하여 이를 공통 신호 채널로 변환시킨 신호이다. 이때, 상기 ATM 송신 메모리부(114)는 듀플 모드 회로를 사용하여 구성되는데, 이에 따라 전체 지연은 13ms 이내에서 구성될 수 있다.

이상에서 살펴본 바와 같이 본 발명에 따르면, ATM 교환기를 구성하는데 있어서 기존에 사용되는 공통 트랜스폰을 효율적으로 적용함으로써 ATM 전용 단말뿐만이 아닌 기존에 사용되는 단말을 수용하는데 매우 효과적이다.

(57) 환구의 별외

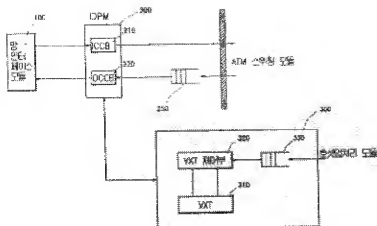
형구한 1.

ATM 교환기의 동가식 공중망 접속장치에 있어서, 동가식 공중망에 접속되어 관제에 오는 PCM 데이터는 ATM 셀로 변환시키고, 망으로 전송되는 PCM 데이터는 PCM 데이터로 변환시켜 송수신하는 망인터페이스 모듈과; 상기 망인터페이스 모듈에서 출력되는 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시켜 ATM 스위칭 모듈로 전송하는 ICCB와, ATM 스위칭 모듈에서 출력되는 ATM 셀을 처리하는 OCCB를 포함하는 IOPM과; ATM 스위칭 모듈에서 전송되는 ATM 셀을 저장하여 순차적으로 상기 OCCB로 출력하는 수신용 파이포 및; 상기 ICCB에서 입력된 ATM 셀을 ATM 스위칭 모듈 내부의 ATM 셀 형태로 변환시킬 때 VPI와 VCI 값으로 셀 헤더를 수정함과 동시에 내부 셀 헤더를 붙이는 VXT와, 상기 VXT로 데이터가 압축되어도록 어드레스를 지정해주는 VXT 제어부와, 상기 VXT 제어부로 ATM 교환기 내의 호셋업 처리 모듈에 의해 생성된 VXT의 수정 데이터를 저장하여 순차적으로 상기 VXT 제어부로 출력하는 수신용 파이포를 포함하는 VXT 제어부 제어부를 포함하는 것을 특징으로 하는 ATM 교환기의 동가식 접속장치.

형구한 2.

제1항에 있어서, 상기 망인터페이스 모듈은 전체 제어 동작을 하는 CPU와; 상기 CPU의 동작을 위한 프로그램을 저장하고 있는 롬메모리와; 상기 CPU의 동작을 위한 프로그램을 저장하고 있으면서 CPU의 동작 결과를 메모리하는 램메모리와; 접속되어 있는 망으로부터 전송되어 오는 PCM 데이터를 복원하여 시리얼로 출력하고, 전송하고자 하는 데이터를 전송되어 있는 망의 전기적 특성에 맞게 구성하여 망으로 출력하는 망인터페이스부와; 상기 망인터페이스부에서 복원된 PCM 데이터의 시그널링을 상기 CPU로부터 입력 분석하여 ATM의 신호셀로서 ATM 교환기 내의 호셋업 처리 제어부로 출력하고, 호셋업 처리 제어부에서 전송되어 오는 신호셀을 분석하여 공통 채널 신호로 바꾸어 상기 망인터페이스부로 전송하여 망인터페이스부에서 망으로 전송할 데이터에 신호 메시지를 실도록 하는 시그널링 메시지 제어부와; 상기 망인터페이스부를 통해 입출력되는 데이터에 동기신호를 제공하고 전체 구성에 통일 클럭을 제공하는 클럭 생성부와; 상기 망인터페이스부에서 복원된 타임/슬롯의 시리얼 PCM 데이터를 1바이트 단위로 출력하는 SIPO와; 12바이트는 상기 SIPO에서 12개의 프레임 기간동안 각 타임/슬롯별로 출력되는 PCM 데이터로 구성되고, 나머지 36바이트의 영역은 디미 데이터가 저장되도록 구성되고, 여기에 ATM 헤더 정보를 저장하는 영역을 포함하는 수개의 타임/슬롯 메모리로 이루어지는 두 개의 PCM 메모리부와; 상기 망인터페이스부에서 복원된 회백 클럭에 의해 내부에 구성된 메모리 어드레스 포인터를 구성하는 카운터가 초기화되고, 상기 두 개의 PCM 메모리부중 하나의 메모리 블록을 결정하고, 회백 클럭의 경수를 카운트하여 12개의 프레임 동안 각 타임/슬롯 별로 데이터가 12바이트씩 저장되도록 하는 PCM 메모리 어드레스 생성부와; 상기 CPU에 의해 분석된 공통 채널 신호 정보를 이용하여 어떤 타임/슬롯의 데이터가 사용가능한 것인지에 대한 정보를 저장하고, 이를 이용하여 상기 PCM 메모리부의 유한한 타임/슬롯에 대해 헤더를 억제시키하여 유한한 데이터에 대해 출력되도록 하는 PCM 메모리 제어부와; 상기 PCM 메모리부에서 출력되는 데이터를 상기 ICCB로 출력하는 송신용 파이포와; 상기 송신용 파이포와 관련된 정보를 기록하여 그 상태에 대한 정보를 상기 ICCB로 출력하는 IOPM 수신 인터페이스와; 상기 OCCB에서 데이터 전송 상태에 대한 정보를 저장하는 IOPM 송신 인터페이스부와; 상기 OCCB에서 전송되어 오는 ATM 셀의 헤더를 이용하여 메모리의 어드레스영역을 지정하고, 이를 저장한 후 이것이 완전히 저장되고 다음 주기의 데이터가 도착되면 그 즉시 이전에 저장된 데이터를 타임/슬롯 별로 출력하는 ATM 송신 메모리부와; 상기 망인터페이스부에서 발생하는 회백 클럭을 대응하여 동작하여 상기 ATM 송신 메모리부에 저장된 데이터가 각 타임/슬롯 별로 출력되도록 하는 송신 메모리 제어신호 생성부 및; 상기 ATM 송신 메모리부에서 출력되는 데이터를 시리얼 단위로 변환시켜 상기 망인터페이스부로 출력하는 PISC를 포함하는 것을 특징으로 하는 ATM 교환기의 동가식 공중망 접속장치.

도면 1



도면 2

